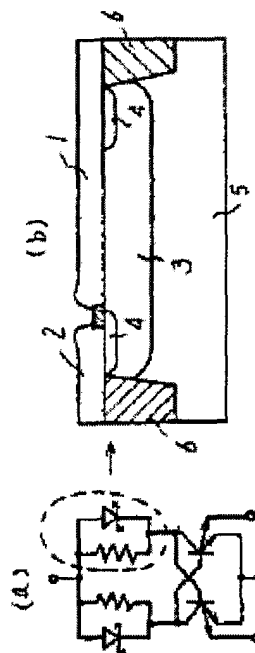


SEMICONDUCTOR STORAGE DEVICE**Publication number:** JP1032671**Publication date:** 1989-02-02**Inventor:** SHIBA TAKEO; ONOUCHI YUKIHIRO; YAMAGUCHI KUNIIHIKO; TAMAOKI YOICHI; IKEDA SEIJI; WATANABE KUNIIHIKO; KOIZUMI TORU**Applicant:** HITACHI LTD**Classification:**

- international: *G11C11/411; G11C11/40; H01L21/331; H01L21/822; H01L21/8222; H01L21/8229; H01L27/04; H01L27/06; H01L27/10; H01L27/102; H01L29/47; H01L29/72; H01L29/73; H01L29/732; H01L29/872; G11C11/411; G11C11/40; H01L21/02; H01L21/70; H01L27/04; H01L27/06; H01L27/10; H01L27/102; H01L29/40; H01L29/66; (IPC1-7): G11C11/40; H01L27/04; H01L27/06; H01L27/10; H01L29/48; H01L29/72*

- European:**Application number:** JP19870187522 19870729**Priority number(s):** JP19870187522 19870729[Report a data error here](#)**Abstract of JP1032671**

PURPOSE: To reduce the area of a cell without separately forming a region for shaping a high resistor by forming both an anode and a cathode for a schottky barrier diode SBD onto an SBD diffusion layer, on the cathode side of which an N-type impurity is diffused, and shaping the high resistor into said diffusion layer. **CONSTITUTION:** A schottky barrier diode SBD is formed by bringing an anode electrode 1 and a low-concentration diffusion layer 3 into contact. The anode electrode 1, a cathode electrode 2 and high-concentration diffusion layers 4 are brought into ohmic-contact, and a high resistor VHR is shaped between the electrode 1 and the electrode 2 by the low-concentration diffusion layer 3. Consequently, the SBD and the VHR are formed in parallel connection between the electrode 1 and the electrode 2. Accordingly, a region for shaping the high resistor VHR need not be shaped separately, thus reducing the area of a memory cell.



⑫ 公開特許公報(A)

昭64-32671

⑬ Int.Cl.⁴H 01 L 27/10
G 11 C 11/40
H 01 L 27/04

識別記号

3 9 1
3 0 5

庁内整理番号

8624-5F
7230-5B
R-7514-5F

⑭ 公開 昭和64年(1989)2月2日

※審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特 願 昭62-187522

⑰ 出 願 昭62(1987)7月29日

⑱ 発 明 者 芝 健 夫 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 尾 内 享 裕 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 山 口 邦 彦 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 玉 置 洋 一 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

1. フリップフロップ回路に金属と半導体接触により形成されるダイオードと、高抵抗を兼ね備えた半導体記憶装置において、上記ダイオードの陽極と陰極のいずれもが、同一の上記ダイオードを形成するために設けた不純物拡散領域上にあり、更に上記高抵抗が、該不純物拡散層により形成されたことを特徴とする半導体記憶装置。

2. 上記陽極電極と接触する不純物拡散領域内に、不純物濃度の異なる領域が2領域以上あることを特徴とする第1項記載の半導体記憶装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、バイポーラ半導体記憶装置に係り、特にシヨットキバリアダイオード(SBD)と高抵抗(VHR)を同時に兼ね備えた高速記憶装置

の面積を減少するのに好適な半導体記憶装置に関する。

〔従来の技術〕

フリップフロップ型バイポーラメモリの中で、情報保持に必要な電圧振幅を、情報保持状態と情報読出し状態のいずれにおいても適切な値に設定できるように、シヨットキバリアダイオード(以下SBDと呼ぶ)と高抵抗(以下VHRと呼ぶ)の両方を兼ね備えた高速バイポーラメモリにおいて、従来ではSBDを単結晶半導体と金属の接触により形成し、VHRを低不純物濃度単結晶又は多結晶半導体により、SBDとは別の領域に形成していた(特公昭62-7639)。

〔発明が解決しようとする問題点〕

上記従来技術では、フリップフロップ回路の形成に必要なトランジスタの外に、上記SBDとVHRの両方の面積が必要なため、メモリセルの面積が、大きなものとなり、メモリ容量の増加を困難にしていた。

本発明の目的は、上記SBDとVHRを、同一

の領域に形成することにより、メモリセルの面積を減少することにある。

〔問題点を解決するための手段〕

本発明では、上記SBDの陽極と陰極の両電極を、陰極側のn形不純物拡散を行つた半導体（以下SBD拡散層と呼ぶ）上に設け、上記VHRは、該SBD拡散層を低濃度にしこの中に形成する。こうすることにより、SBDとVHRが同一領域内に形成され、上記目的が達成される。

〔作用〕

本発明の装置の断面構造図である第1図(b)において、陽極電極1と低濃度拡散層3の接触によりSBDが形成される。また、陽極電極1、陰極電極2と、高濃度拡散層4の接触は、オーミック接触になるので、電極1と電極2の間に低濃度拡散層3によりVHRが形成される。従つて、電極1と電極2の間には、SBDとVHRが並列接続で形成され、第1図(a)の等価回路図のSBDとVHRができる。

〔実施例〕

13が接触する部分にSBDが形成され、高濃度拡散されたn型多結晶半導体層16との接触部分は、オーミック接触となる。従つて、電極18と15の間に、低濃度拡散層3で形成されるVHRが、SBDに並列に接続される。電流が多くなりVHRによりカレントクラウディング現象が起つた場合は、VHRがSBDでクランプされ、その時SBDに直列に入る抵抗は、本実施例のように例えばシート抵抗が約1K Ω /□のn型拡散層13で形成される抵抗となる。なお、該拡散層13は、必要に応じて形成すればよいもので、本発明の効果を得るために、必ずしも必要なものではない。また本実施例では、シールドp層9によりSBDをシールドできる装置を例に用いたが、該シールドp層9並びに、n型埋込み層8も必ずしも必要でない。

上記シート抵抗値の例も本実施例の値に限つたものではない。陽極の金属も本実施例のように1層である必要はなく、例えば異種金属あるいは金属と半導体の化合物が多層構造であつてもよい。

以下本発明の一実施例を、本発明の装置の製造工程断面図である第2図により説明する。

まず、p型半導体基板5に、n型埋込み層8、絶縁膜10、p型多結晶半導体層11を形成した後、絶縁膜12をマスクに、シールドp型拡散層9とSBD拡散層3を形成した。該SBD拡散層3は、同時にVHRも形成するため、シート抵抗を例えば約100K Ω /□程度の高抵抗層とした（第2図(a)）。

次に、シート抵抗が例えば約1K Ω /□程度のn型拡散層13を形成し、絶縁膜14をマスクに、多結晶半導体層15、16を通してシート抵抗が約10 Ω /□程度の高濃度n型抵抗層4を形成した。更に該多結晶半導体層15、16に絶縁膜17をかぶせ、SBDを形成する領域の該絶縁膜17を除去した後、陽極となる金属電極18を形成した（第2図(b)）。最後に陰極となる多結晶半導体層15をトランジスタのコレクタに接続した。

本実施例では、電極18と低濃度n型拡散層3、

陰極の材料も本実施例のように多結晶半導体である必要はなく、例えば金属でもよいことはいうまでもない。

〔発明の効果〕

本発明によれば、VHRを形成するための領域を別に設ける必要がなくなるため、メモリセルの面積を減少できる。つまり、メモリセルに必要な素子数は、トランジスタ4個、SBD2個、VHR2個であり、従来必要な面積が、素子数で8個分であつたものを、本発明により6個分に減少できる。

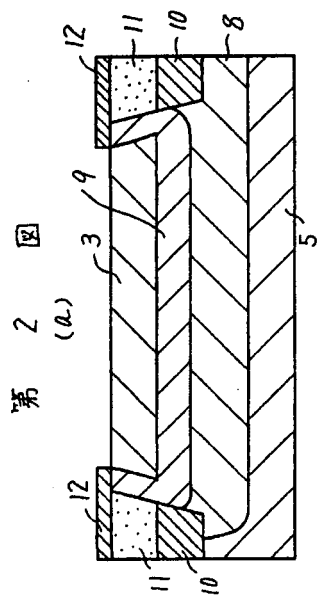
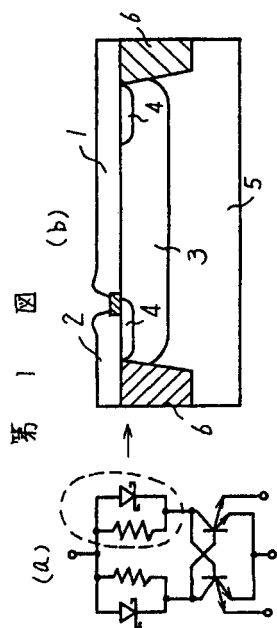
4. 図面の簡単な説明

第1図は、本発明の原理的構成を説明するための記号素子の等価回路図と断面構造図、第2図は、本発明の一実施例になる素子構成の製造工程断面図である。

1, 2…SBDの陽極と陰極、3…SBD拡散層、4…オーミック接触用高濃度拡散層、5…半導体基板、6, 10, 12, 14, 17…絶縁膜、8…埋込み拡散層、9…シールド拡散層、11…多

結晶電極、13…低抵抗SBD拡散層、15…多
結晶半導体のSBD陰極、16…多結晶半導体、
18…SBD陽極電極。

代理人 弁理士 小川勝男



1 SBD陽極 4 高濃度n型拡散層
2 SBD陰極 5 半導体基板
3 低濃度n型拡散層 6 絶縁膜

第1頁の続き

⑤Int.Cl. ⁴	識別記号	庁内整理番号
H 01 L 27/06 29/48 29/72	1 0 1	D-7373-5F F-7638-5F 8526-5F
⑫発 明 者 池 田 清 治		東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑫発 明 者 渡 辺 邦 彦		東京都青梅市今井2326番地 株式会社日立製作所コンピュータ事業部デバイス開発センタ内
⑫発 明 者 小 泉 亨		東京都青梅市今井2326番地 株式会社日立製作所コンピュータ事業部デバイス開発センタ内